



77 9/10/01
Dade

Docket No.: GR 98 P 2499 P

I hereby certify that this correspondence is being deposited with the United States Postal Service as First Class Mail in an envelope addressed to the Assistant Commissioner for Patents, Washington, D.C. 20231, on the date indicated below.

By: Markus Nolff

Date: April 30, 2001

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Inventor : Thomas Peter Haneder et al

Applic. No. : 09/801,209

Filed : March 7, 2001

Title : Ferroelectric Transister, Use Therof In A Memory Cell
Configuration And Method Of Producing The Ferroelectric
Transistor

CLAIM FOR PRIORITY

Hon. Commissioner of Patents and Trademarks,
Washington, D.C. 20231

Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119,
based upon the German Patent Application 198 40 824.2, filed September 7, 1998.

A certified copy of the above-mentioned foreign patent application is being submitted
herewith.

Respectfully submitted,

Markus Nolff
For Applicants

MARKUS NOLFF
REG. NO. 37,006

Date: April 30, 2001

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/sc



BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 198 40 824.2

Anmeldetag: 7. September 1998

Anmelder/Inhaber: Siemens Aktiengesellschaft, München/DE

Bezeichnung: Ferroelektrischer Transistor, dessen Verwendung in einer Speicherzellenanordnung und Verfahren zu dessen Herstellung

IPC: H 01 L, G 11 C

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 20. April 2001
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Faust



Belegexemplar
Dort nicht rezipiert werden

Beschreibung

Ferroelektrischer Transistor, dessen Verwendung in einer Speicherzellenanordnung und Verfahren zu dessen Herstellung.

5

Die Erfindung betrifft einen ferroelektrischen Transistor, der zwei Source-/Drain-Gebiete, einen Kanalbereich und eine Gateelektrode aufweist, wobei zwischen der Gateelektrode und dem Kanalbereich eine Schicht aus ferroelektrischem Material vorgesehen ist. Die Leitfähigkeit dieses Transistors ist von dem Polarisationszustand der Schicht aus ferroelektrischem Material abhängig. Derartige ferroelektrische Transistoren werden im Hinblick auf nichtflüchtige Speicher untersucht. Dabei werden zwei verschiedenen logischen Werten einer digitalen Information zwei verschiedene Polarisationszustände der Schicht aus ferroelektrischem Material zugeordnet. Weitere Einsatzmöglichkeiten für derartige ferroelektrische Transistoren sind zum Beispiel neuronale Netze.

20 Es ist bekannt (siehe zum Beispiel T. Nakamura, Y. Nakao, A. Kamisawa, H. Takasu: A Single Transistor Ferroelectric Memory Cell, IEEE, ISSCC, 1995, Seiten 68 bis 69), ferroelektrische Transistoren als Speicherzellen einer Speicherzellenanordnung zu verwenden. Dabei wird jeder der ferroelektrischen Transistoren zwischen einer Versorgungsspannungsleitung und einer Bitleitung geschaltet. Die Auswahl erfolgt über ein back gate. Die verwendeten ferroelektrischen Transistoren weisen dabei zwischen der ferroelektrischen Schicht und dem Gateoxid eine Floating Gate Elektrode auf, deren Ladung über den Polarisationszustand der ferroelektrischen Schicht gesteuert wird.

35 Es hat sich gezeigt, daß beim Lesen der Information auch an nicht ausgewählten Speicherzellen Spannung abfällt, die zu einer Verfälschung der in den einzelnen Speicherzellen gespeicherten Information führen kann. Diese Verfälschung wird darauf zurückgeführt, daß Umklapp-Prozesse der Domänen in

17.09.98

ferroelektrischen Materialien von statistischer Natur sind und bereits bei niedrigen Spannungen hervorgerufen werden können.

5 Der Erfindung liegt daher das Problem zugrunde, einen ferroelektrischen Transistor anzugeben, der als Speicherzelle einer Speicherzellenanordnung geeignet ist und in dem eine Veränderung der eingeschriebenen Information beim Lesevorgang vermieden wird. Ferner soll ein Verfahren zu dessen Herstellung angegeben werden.

10 Dieses Problem wird gelöst durch einen ferroelektrischen Transistor gemäß Anspruch 1 sowie ein Verfahren zu dessen Herstellung gemäß Anspruch 11. Weitere Ausgestaltungen der 15 Erfindung gehen aus den übrigen Ansprüchen hervor.

Der ferroelektrische Transistor weist zwei Source-/Drain-Gebiete auf, die in einem Halbleitersubstrat angeordnet sind. Als Halbleitersubstrat sind alle Halbleitermaterialien geeignet, insbesondere monokristallines Silizium. Das Halbleitersubstrat kann dabei sowohl eine monokristalline Siliziumscheibe als auch ein SOI-Substrat sein.

20 Zwischen den beiden Source-/Drain-Gebieten sind an der Oberfläche des Halbleitersubstrats eine erste Gatezwischenschicht und eine erste Gateelektrode angeordnet, wobei die erste Gatezwischenschicht mindestens eine ferroelektrische Schicht enthält. Zwischen den Source-/Drain-Gebieten ist in Richtung einer Verbindungsleitung zwischen den Source-/Drain-Gebieten neben der ersten Gatezwischenschicht eine zweite Gatezwischenschicht und eine zweite Gateelektrode angeordnet, wobei die zweite Gatezwischenschicht eine dielektrische Schicht enthält. Die erste Gateelektrode und die zweite Gateelektrode sind über eine Diodenstruktur miteinander verbunden.

35

In diesem ferroelektrischen Transistor sind nebeneinander entlang der Verbindungsleitung zwischen den Source-/Drain-

Gebieten die erste Gateelektrode und die zweite Gateelektrode angeordnet. Der Kanalbereich des ferroelektroschen Transistors ist somit unterteilt, wobei ein Teil des Kanalbereichs, der unter der ersten Gateelektrode angeordnet ist, durch die 5 an der ersten Gateelektrode wirksamen Ladung ansteuerbar ist und ein Teil des Kanalbereichs, der unter der zweiten Gateelektrode angeordnet ist, durch die an der zweiten Gateelektrode wirksamen Ladung ansteuerbar ist. Zwischen den Source-/Draingebieten kann nur dann ein Strom fließen, wenn 10 sowohl der Teil des Kanalbereichs unterhalb der ersten Gateelektrode als der Teil des Kanalbereichs unterhalb der zweiten Gateelektrode leitend ist.

Die Diodenstruktur ist so gepolt, daß bei Anliegen einer 15 Spannung an der zweiten Gateelektrode, die die Leitfähigkeit des Kanalbereiches unter der zweiten Gateelektrode steuert, die Diodenstruktur sperrt und dadurch die erste Gateelektrode von dieser Spannung getrennt ist.

20 Bei Verwendung des ferroelektrischen Transistors als Speicher für digitale Information werden in der ferroelektrischen Schicht zwei Polarisationszustände den logischen Werten zugeordnet. Bei dem einen Polarisationszustand ist der Kanalbereich unterhalb der ersten Gateelektrode und der ferroelektrischen Schicht leitend, bei dem anderen nicht.

Da die erste Gateelektrode und die zweite Gateelektrode in Richtung der Verbindungsleitung zwischen den Source-/Drain-Gebieten nebeneinander angeordnet sind, ist für den Lesevorgang 30 die Ansteuerung über die zweite Gateelektrode ausreichend. Abhängig vom Polarisationszustand der ferroelektrischen Schicht ist der Kanalbereich unterhalb der ersten Gateelektrode leitend oder nicht. Durch Ansteuerung der zweiten Gateelektrode so, daß der Transistor im Bereich der zweiten 35 Gateelektrode eingeschaltet wird, wird die Information ausgelesen, wobei bewertet wird, ob ein Strom über den Transistor fließt oder nicht.

Die Diodenstruktur, die zwischen die erste Gateelektrode und die zweite Gateelektrode geschaltet ist, stellt sicher, daß die Spannung zur Ansteuerung der zweiten Gateelektrode nur 5 über die zweite Gateelektrode abfällt. Die erste Gateelektrode ist über die Diodenstruktur von dieser Spannung getrennt, so daß über die ferroelektrische Schicht keine Spannung abfällt. Dadurch wird eine Veränderung der Polarisation der ferroelektrischen Schicht und damit der gespeicherten Infor- 10 mation vermieden.

Alternativ kann an die zweite Gateelektrode eine Spannung angelegt werden, um die ferroelektrische Schicht zu polarisieren. Dieses wird zum Einschreiben und Löschen von Information 15 verwendet.

Das Einschreiben der Information erfolgt dabei durch eine Spannung die größer als die Sperrspannung der Diodenstruktur ist und die die ferroelektrische Schicht in die eine Richtung 20 polarisiert.

Das Löschen der Information erfolgt durch eine Spannung mit anderem Vorzeichen, so daß die Diodenstruktur in Durchlaß- 45 richtung gepolt ist und die an der ferroelektrischen Schicht abfallende Spannung diese in die andere Richtung polarisiert.

Die Begriffe Schreiben und Löschen von Information können in diesem Zusammenhang auch vice versa verwendet werden..

30 Vorzugsweise sind die zweite Gatezwischenschicht und die zweite Gateelektrode jeweils aus zwei Teilstrukturen zusammengesetzt, die spiegelsymmetrisch zu der ersten Gatezwischenschicht angeordnet sind. Die beiden Teilstrukturen der zweiten Gateelektrode sind elektrisch miteinander verbunden. 35 Diese Ausgestaltung hat den Vorteil, daß die an der zweiten Gateelektrode anliegende Spannung beim Lesebetrieb ein derartiges elektrisches Feld hervorruft, daß die ferroelektrische

Schicht auf einer Äquipotentiallinie liegt und somit keinerlei Veränderung der Polarisation der ferroelektrischen Schicht auftritt. Diese Ausgestaltung der Erfindung ist besonders unempfindlich gegenüber Störungen.

5

Es ist vorteilhaft, zwischen der Oberfläche des Halbleitersubstrats und der ferroelektrischen Schicht eine dielektrische Schicht vorzusehen, die das Aufbringen der ferroelektrischen Schicht erleichtert.

10

Im Hinblick auf die Herstellung des ferroelektrischen Transistors ist es vorteilhaft, die dielektrische Schicht, die in der ersten Gatezwischenschicht zwischen der Halbleiteroberfläche und der ferroelektrischen Schicht angeordnet und die 15 dielektrische Schicht, die Bestandteil der zweiten Gatezwischenschicht ist, als durchgehende elektrische Schicht zu bilden, an deren Oberfläche der Stapel aus ferroelektrischer Schicht und erster Gateelektrode erzeugt wird.

20

Vorzugsweise sind die erste Gateelektrode und/oder die zweite Gateelektrode Teil der Diodenstruktur. Auf diese Weise sinkt der Platzbedarf der Diodenstruktur.

25

Vorzugsweise weist die erste Gateelektrode polykristallines Silizium auf, das von einem ersten Leitfähigkeitstyp dotiert ist. Die zweite Gateelektrode weist ebenfalls polykristallines Silizium auf, das von einem zweiten, dem ersten entgegengesetzten Leitfähigkeitstyp dotiert ist. Die erste Gateelektrode grenzt dabei an die zweite Gateelektrode an, so daß die 30 Diodenstruktur durch die erste Gateelektrode und die zweite Gateelektrode gebildet wird. In dieser Ausgestaltung sind zum Betrieb des ferroelektrischen Transistors nur drei Anschlüsse erforderlich, zwei an den Source-/Drain-Gebieten und einer an der zweite Gateelektrode. Alternativ können in dieser Ausgestaltung die erste Gateelektrode und die zweite Gateelektrode jeweils aus entsprechend dotiertem epitaktisch aufgewachsenem 35 Silizium gebildet werden.

Aus technologischen Gründen kann es vorteilhaft sein, zwischen der ferroelektrischen Schicht und der ersten Gatelektrode eine Hilfsschicht zum Beispiel aus Platin vorzusehen, 5 die unerwünschte Eigenschaften der ferroelektrischen Schicht wie zum Beispiel Fatigue oder Imprint Resistance vermeidet.

Es liegt im Rahmen der Erfindung, daß die erste Gatezwischenschicht eine dielektrische Schicht aus CeO_2 , ZrO_2 , Y_2O_3 oder 10 einem anderen Oxid mit möglichst großer dielektrischer Suszeptibilität zum Beispiel SrTiO_3 enthält. Für die dielektrische Schicht in der zweiten Gatezwischenschicht ist insbesondere SiO_2 , CeO_2 , ZrO_2 , Y_2O_3 oder ein anderes Oxid mit möglichst großer dielektrischer Suszeptibilität zum Beispiel SrTiO_3 15 eignet. Die ferroelektrische Schicht kann unter anderem aus Strontium-Wismuth-Tantalat (SBT), Blei-Zirkonium-Titanat (PZT), Lithium-Niobat (LiNbO_3) oder Barium-Strontium-Titanat (BST) sein.

20 Der ferroelektrische Transistor ist vorteilhaft einsetzbar als Speicherzelle in einer Speicherzellenanordnung. Im Hinblick auf die Störsicherheit der Speicherzellenanordnung beim Lesen, Schreiben und Löschen der Information ist es dabei vorteilhaft, in jeder Speicherzelle zusätzlich zu dem ferroelektrischen Transistor einen Auswahltransistor mit einer 25 Steuerelektrode vorzusehen. Darüber hinaus weist die Speicherzellenanordnung Wortleitungen, Bitleitungen und Versorgungsleitungen auf, wobei die Wortleitungen die Versorgungsleitungen und die Bitleitungen kreuzen. Der ferroelektrische 30 Transistor einer der Speicherzellen ist jeweils zwischen zwei benachbarte Bitleitungen geschaltet. Der Auswahltransistor ist zwischen die zweite Gateelektrode und eine der Versorgungsspannungsleitungen geschaltet. Die Steuerelektrode des Auswahltransistors ist jeweils mit einer der Wortleitungen 35 verbunden.

Im folgenden wird die Erfindung anhand von Ausführungsbeispielen und den Figuren näher erläutert.

Figur 1 zeigt einen Schnitt durch einen ferroelektrischen
5 Transistor.

Figur 2 zeigt einen Schnitt durch einen ferroelektrischen
Transistor, bei dem die erste Gatezwischenschicht und
10 die zweite Gatezwischenschicht eine durchgehende dielektrische Schicht aufweist.

Figur 3 bis 5 zeigt Schritte bei der Herstellung des ferroelektrischen Transistors, der in Figur 2 dargestellt ist.

15 Figur 6 zeigt eine Schaltskizze für eine Speicherzellenanordnung:

In einem p-dotierten Halbleitersubstrat 11 aus monokristallinem Silizium sind zwei Source-/Drain-Gebiete 12 angeordnet. Zwischen den Source-/Drain-Gebieten 12 ist an der Oberfläche des Halbleitersubstrats 11 eine erste Gatezwischenschicht 13 und eine erste Gateelektrode 14 angeordnet (siehe Figur 1). Die erste Gatezwischenschicht 13 weist in Richtung der Verbindungslinie zwischen den Source-/Drain-Gebieten 12 eine geringere Abmessung auf, als es dem Abstand zwischen den Source-/Drain-Gebieten 12 entspricht. Die erste Gatezwischenschicht 13 weist eine erste dielektrische Schicht 131 und eine ferroelektrische Schicht 132 auf. Die erste dielektrische Schicht 131 enthält CeO_2 und weist eine Dicke von 5 bis 10 nm auf. Die ferroelektrische Schicht 132 weist eine Dicke von 50 bis 100 nm auf und enthält Strontium-Wismuth-Tantalat (SBT) oder Blei-Zirkonium-Titanat (PZT). Die erste Gateelektrode 14 weist eine Dicke von 30 bis 50 nm auf und ist aus p⁺-dotiertem Polysilizium mit einer Dotierstoffkonzentration von einigen 10^{19} cm^{-3} gebildet. Zwischen der ersten Gateelektrode 14 und der ferroelektrischen Schicht 132 ist eine Hilfsschicht

15 angeordnet, die zum Schutz der ferroelektrischen Schicht 132 dient und die in einer Dicke von 30 nm aus Platin gebildet ist.

5 Seitlich der ersten dielektrischen Schicht 131 ist eine zweite dielektrische Schicht 16 aus SiO_2 in einer Schichtdicke von 5 bis 10 nm angeordnet. Die zweite dielektrische Schicht 16 besteht aus zwei Teilen, wobei ein Teil zwischen einem der Source-/Drain-Gebiete 12 und der ersten dielektrischen
10 Schicht 131 und das andere Teil zwischen dem anderen Source-/Drain-Gebiet 12 und der ersten dielektrischen Schicht 131 angeordnet ist. Die beiden Teile der zweiten dielektrischen Schicht 16 sind spiegelsymmetrisch zur ersten dielektrischen Schicht 131 angeordnet. Die beiden Teile der zweiten dielektrischen Schicht 16 wirken als zweite Gatezwischenschicht.
15 Oberhalb der zweiten dielektrischen Schicht 16 ist eine zweite Gateelektrode 17 aus n^+ -dotiertem Polysilizium angeordnet. Die zweite Gateelektrode 17 überdeckt die erste Gateelektrode 14, so daß sie in dem in Figur 1 dargestellten Schnitt einen
20 U-förmigen Querschnitt aufweist. Dadurch sind die beiden Teile der zweiten Gateelektrode 17, die an der Oberfläche der beiden Teile der zweiten dielektrischen Schicht 16 angeordnet sind, miteinander elektrisch verbunden. Ferner grenzt die zweite Gateelektrode 17 an die Oberfläche der ersten Gateelektrode 14 an. Die erste Gateelektrode 14 und die zweite Gateelektrode 17 bilden gemeinsam eine Diodenstruktur.
25

Zum Einschreiben von Information in den ferroelektrischen Transistor wird der pn-Übergang, der aus der ersten Gateelektrode 14 und der zweiten Gateelektrode 17 gebildet wird, in Durchlaßrichtung betrieben, das heißt, es wird ein negativer Spannungspuls an die n^+ -dotierte zweite Gateelektrode 17 angelegt. Dadurch wird die ferroelektrische Schicht 132 so polarisiert, daß sich der unter der ersten Gatezwischenschicht 13 angeordnete Teil des Kanalbereichs in Akkumulation befindet und daher sperrt.

Zum Lesen des Speichertransistors wird dagegen der pn-Übergang, der aus erster Gateelektrode 14 und zweiter Gateelektrode 17 gebildet wird, in Sperrichtung unterhalb der Durchbruchsspannung betrieben. Dadurch wird über die zweite Gateelektrode 17 beiderseits der ferroelektrischen Schicht 132 der Kanalbereich in Inversion gebracht, ohne daß sich dabei der Polarisationszustand der ferroelektrischen Schicht 132 ändert. Ein Strom über den Transistor fließt nur dann, wenn die ferroelektrische Schicht 132 so polarisiert ist, daß sich 5 auch in den Teil des Kanalbereichs, der unterhalb der ersten Gatezwischenschicht 13, das heißt, unterhalb der ferroelektrischen Schicht 132, befindet, in Inversion befindet. Andernfalls fließt kein Strom über den Transistor. Die Zustände „Stromfluß über den Transistor“ bzw. „kein Stromfluß über den 10 Transistor“ sind somit den verschiedenen logischen Informationen zugeordnet.

Zum Löschen der gespeicherten Information in der ferroelektrischen Schicht 132 wird der aus erster Gateelektrode 14 und zweiter Gateelektrode 17 gebildete pn-Übergang in Sperrichtung über seiner Durchbruchsspannung betrieben. Dadurch wird die ferroelektrische Schicht 132 so polarisiert, daß sich der Kanalbereich unterhalb der ersten Gatezwischenschicht 13 in Inversion befindet und daher leitet.

5 In einem weiteren Ausführungsbeispiel (siehe Figur 2) weist ein Halbleitersubstrat 21 zwei Source-/Drain-Gebiete 22 auf, die analog wie anhand von Figur 1 erläutert, ausgestaltet sind. Zwischen den Source-/Drain-Gebieten 22 ist an der Oberfläche des Halbleitersubstrats 21 eine dielektrische Schicht 26 angeordnet, die eine Schichtdicke von 5 bis 10 nm aufweist 30 und aus CeO_2 oder ZrO_2 ausgebildet ist. An der Oberfläche der dielektrischen Schicht 26 ist eine ferroelektrische Schicht 23 angeordnet, deren Querschnitt parallel zur Oberfläche des Substrats 21 kleiner als der der dielektrischen Schicht 26 ist. Die dielektrische Schicht 26 überragt die ferroelektrische Schicht 23 seitlich. An der Oberfläche der ferroelektrische 35

schen Schicht 23 ist eine Hilfsschicht 25 und an der Oberfläche der Hilfsschicht 25 eine erste Gateelektrode 24 angeordnet. Darüber hinaus ist eine zweite Gateelektrode 27 vorgesehen, die beiderseits der ferroelektrischen Schicht 23 auf die 5 Oberfläche der dielektrischen Schicht 26 trifft und die die erste Gateelektrode 24 überdeckt. Die ferroelektrische Schicht 23, die Hilfsschicht 25, die erste Gateelektrode 24 und die zweite Gateelektrode 27 sind analog wie anhand von Figur 1 erläutert, ausgeführt. Die Betriebsweise des in Figur 10 2 dargestellten ferroelektrischen Transistors erfolgt analog wie anhand von Figur 1 erläutert.

Zur Herstellung des in Figur 2 dargestellten ferroelektrischen Transistors wird auf die Oberfläche des Halbleitersubstrats 21, in dem zunächst aktive und nicht aktive Gebiete 15 durch eine Isolationstechnik, zum Beispiel eine LOCOS-Technik oder eine STI (Shallow Trench Isolation)-Technik, definiert wurden (nicht dargestellt) und in der in bekannter Weise Wannen implantiert wurden (nicht dargestellt), die dielektrische 20 Schicht 26 abgeschieden. Auf die dielektrische Schicht 26 wird die ferroelektrische Schicht 23 mit einem ein- oder mehrstufigen Sol-Gel-Verfahren oder mit einem CVD-Prozeß aufgebracht. Es folgt eine Temperung bei 700°C, um die ferroelektrische Schicht 23 in die gewünschte ferroelektrische 25 Phase zu bringen. Auf die Oberfläche der ferroelektrischen Schicht 23 wird nachfolgend durch Sputtern die Hilfsschicht 25 aus Platin aufgebracht. Auf die Hilfsschicht 25 wird eine p-dotierte Polysiliziumschicht 24' abgeschieden (siehe Figur 3).

30 Anschließend wird unter Verwendung einer Photolackmaske, die die Form der ersten Gateelektrode 24 definiert, die p⁺-dotierte Polysiliziumschicht 24', die Hilfsschicht 25 und die ferroelektrische Schicht 23 bis auf die Oberfläche der dielektrischen Schicht 26 strukturiert. Dazu wird ein mehrstufiges Ätzverfahren eingesetzt, in dem zur Strukturierung der p⁺-dotierten Polysiliziumschicht 24' HBr oder HCl und zur

Strukturierung der Hilfsschicht 25 der ferroelektrischen Schicht 26 Cl₂ und/oder Ar mit Zusätzen schwerer Gase wie zum Beispiel SF₆, BC₁₃ verwendet wird.

5 Anschließend wird eine n-dotierte Polysiliziumschicht 27' abgeschieden, die eine Dicke von 120 bis 150 nm aufweist. In einem nachfolgenden, mehrstufigen Ätzprozeß werden die n-dotierte Polysiliziumschicht 27' und die dielektrische Schicht 26 strukturiert, wobei die zweite Gateelektrode 27 gebildet 10 wird. Die zweite Gateelektrode 27 überlappt die erste Gateelektrode 24 seitlich auf beiden Seiten. Zur Strukturierung der n-dotierten Polysiliziumschicht 27' wird HBr oder HCl, 15 der dielektrischen Schicht 26 Cl, Ar oder ein Gemisch aus Cl und Ar mit Zusätzen schwerer Gase wie zum Beispiel SF₆, BC₁₃ verwendet (siehe Figur 5).

Durch Implantation mit Arsen werden nachfolgend selbstjustiert zur zweiten Gateelektrode 24 die Source-/Drain-Gebiete 22 implantiert. Dadurch wird der in Figur 2 dargestellte ferroelektrische Transistor fertiggestellt.

Das Herstellverfahren kann auf vielerlei Art variiert werden. Insbesondere kann die Temperung zur Festlegung der gewünschten ferroelektrischen Phase der ferroelektrischen Schicht 23 auch nach der Abscheidung der p-dotierten Polysiliziumschicht 24, wenn die erforderliche Temperatur niedrig genug ist, so daß sich kein SiO₂ über der Hilfsschicht 25 und unter der ersten Elektrode bildet, oder vorzugsweise nach Abscheidung der Hilfsschicht 25 erfolgen. Ferner kann bei der Strukturierung der ersten Gateelektrode 24 die dielektrische Schicht 26 bis auf die Oberfläche des Halbleitersubstrats 21 mitstrukturiert werden und die Temperung nach Bildung der ersten Gateelektrode 24 erfolgen. In diesem Fall kann bei dieser Temperung seitlich der ersten Gateelektrode 24 an der Oberfläche des Halbleitersubstrats 21 eine SiO₂-Schicht gebildet werden, die nachfolgend als Gateoxid unterhalb der zweiten Gateelektrode 27 seitlich der ersten Gateelektrode 24 verwendet wird. Die

Temperung wird in diesem Fall vorzugsweise so geführt, daß nicht gleichzeitig eine SiO_2 -Schicht zwischen der ersten Gateelektrode 24 und der Hilfsschicht 25 entsteht.

5 Ferner können die Source-/Drain-Gebiete 22 mit einem LDD-Profil erzeugt werden. Zu diesem Zweck werden im Laufe des Verfahrens Spacer an den Flanken der zweiten Gateelektrode 27 gebildet.

10 In den Ausführungsbeispielen ist der Aufbau eines n-Kanal-Transistors beschrieben worden. Die Erfindung ist analog für einen p-Kanal-Transistor durchführbar, in diesem Fall sind alle Leitfähigkeitstypen entsprechend zu vertauschen.

15 In einer Speicherzellenanordnung sind eine Vielzahl Speicherzellen vorgesehen, von denen jede einen ferroelektrischen Transistor FT und einen Auswahltransistor AT aufweist (siehe Figur 6). Der ferroelektrische Transistor FT ist jeweils wie anhand von Figur 1 oder Figur 2 erläutert ausgeführt. Der 20 Auswahltransistor AT ist als MOS-Transistor mit einer Gateelektrode ausgeführt. Die Speicherzellenanordnung umfaßt darüber hinaus Wortleitungen WL, Versorgungsleitungen VL und Bitleitungen BL. Die Wortleitungen WL kreuzen sowohl die Versorgungsleitungen VL als auch die Bitleitungen BL.

25 Der ferroelektrische Transistor FT jeder der Speicherzellen ist jeweils zwischen zwei benachbarte Bitleitungen BL geschaltet. Der Auswahltransistor AT der entsprechenden Speicherzelle ist zwischen die zweite Gateelektrode des ferroelektrischen Transistors FT und eine Versorgungsleitung VL geschaltet. Die Gateelektrode des Auswahltransistors AT ist 30 mit einer der Wortleitungen WL verbunden.

35 Die Auswahl einer Speicherzelle erfolgt in der Speicherzellenanordnung über die entsprechende Wortleitung WL und die entsprechende Versorgungsleitung VL.

Das Auslesen der Speicherzelle erfolgt mit Hilfe einer Durchgangsprüfung zwischen den benachbarten Bitleitungen BL, zwischen die der entsprechende ferroelektrische Transistor FT geschaltet ist. Zum Auslesen der Information wird die zugehörige Versorgungsleitung VL mit einem Spannungspegel beaufschlagt, so daß der aus erster Gateelektrode und zweiter Gateelektrode gebildete pn-Übergang in dem ferroelektrischen Transistor in Sperrichtung unterhalb der Durchbruchsspannung betrieben wird. Die zweite Gateelektrode bringt dabei den Kanalbereich des ferroelektrischen Transistors seitlich der ferroelektrischen Schicht lokal in Inversion, ohne dabei den Polarisationszustand der ferroelektrischen Schicht zu verändern. Ein Strom durch den ferroelektrischen Transistor fließt nur dann, wenn die ferroelektrische Schicht so polarisiert ist, daß sich auch unterhalb der ferroelektrischen Schicht der Kanalbereich in Inversion befindet. Ein Strom zwischen den benachbarten Bitleitungen BL kann nur fließen, wenn der ausgewählte ferroelektrische Transistor FT eingeschaltet ist, das heißt, wenn die ferroelektrische Schicht entsprechend polarisiert ist.

Zum Schreiben von Information in den ferroelektrischen Transistor FT einer Speicherzelle erfolgt die Auswahl ebenfalls über die entsprechende Wortleitung WL und die entsprechende Versorgungsleitung VL. In diesem Fall wird die entsprechende Versorgungsleitung VL mit einem Pegel beaufschlagt, durch den der pn-Übergang, der aus erster Gateelektrode und zweiter Gateelektrode des ferroelektrischen Transistors FT gebildet wird, in Durchlaßrichtung betrieben wird. Dadurch wird die ferroelektrische Schicht so polarisiert, daß sich der Kanalbereich unterhalb der ferroelektrischen Schicht in Akkumulation befindet und daher sperrt.

Zum Löschen von Information in dem ferroelektrischen Transistor einer Speicherzelle wird ebenfalls die Speicherzelle über die Wortleitung WL und die Versorgungsleitung VL ausgewählt. An die Versorgungsleitung VL wird ein derartiger Span-

nungspegel angelegt, daß der aus erster Gateelektrode und zweiter Gateelektrode des ferroelektrischen Transistors gebildete pn-Übergang in Sperrichtung über seiner Durchbruchsspannung betrieben wird. Dadurch wird die ferroelektrische 5 Schicht so polarisiert, daß sich der Kanalbereich unterhalb der ferroelektrischen Schicht in Inversion befindet und daher leitet.

Beim Lesevorgang, Schreibvorgang sowie Löschvorgang sind alle 10 anderen Speicherzellen, die mit denselben Bitleitungen BL bzw. Versorgungsleitungen VL verbunden sind, mit anderen Wortleitungen WL verbunden. Sie sind daher nicht ausgewählt und sperren.

15 Die unterschiedlichen Betriebszustände Schreiben, Lesen und Löschen werden über unterschiedliche Spannungspegel an der Versorgungsleitung eingestellt. Für den Betrieb der Speicherzellenanordnung mit einem ferroelektrischen Transistor mit einem ferroelektrischen Material mit einer Koerzitivfeldstärke 20 E_C von ca. 30 kV/cm und einer dielektrischen Schicht 131 mit einer relativen Dielektrizitätskonstante ϵ_r von ca. 20, der analog wie anhand von Figur 1 oder 2 erläutert aufgebaut ist, sind folgende Pegel geeignet:

25 Lesen:	+ 0,5 V
Schreiben:	+ 3 V
Löschen:	- 3 V

Patentansprüche

1. Ferroelektrischer Transistor,

5 - bei dem in einem Halbleitersubstrat (11) zwei Source-/Drain-Gebiete (12) vorgesehen sind,

10 - bei dem zwischen den Source-/Drain-Gebieten (12) an der Oberfläche des Halbleitersubstrats (11) eine erste Gatezwischenschicht (13) und eine erste Gateelektrode (14) angeordnet sind, wobei die erste Gatezwischenschicht (13) mindestens eine ferroelektrische Schicht (132) enthält,

15 - bei dem zwischen den Source-/Drain-Gebieten (12) in Richtung einer Verbindungsleitung zwischen den Source-/Drain-Gebieten (12) neben der ersten Gatezwischenschicht (13) eine zweite Gatezwischenschicht (16) und eine zweite Gateelektrode (17) angeordnet sind, wobei die zweite Gatezwischenschicht (16) eine dielektrische Schicht (16) enthält,

20 - bei dem die erste Gateelektrode (14) und die zweite Gateelektrode (17) über eine Diodenstruktur miteinander verbunden sind.

2. Ferroelektrischer Transistor nach Anspruch 1,

25 - bei dem die zweite Gatezwischenschicht (16) und die zweite Gateelektrode (17) jeweils aus zwei Teilstrukturen zusammengesetzt sind, die spiegelsymmetrisch zu der ersten Gatezwischenschicht (13) angeordnet sind,

30 - bei dem die beiden Teilstrukturen der zweiten Gateelektrode (17) elektrisch miteinander verbunden sind.

35 3. Ferroelektrischer Transistor nach Anspruch 1 oder 2, bei dem die erste Gatezwischenschicht (13) eine dielektrische Schicht (131) enthält, die zwischen der Oberfläche des Halb-

16

leitersubstrats (11) und der ferroelektrischen Schicht (132) angeordnet ist.

4. Ferroelektrischer Transistor nach Anspruch 3,

5 bei dem die dielektrische Schicht (26) der ersten Gatezwischenschicht und die dielektrische Schicht (26) der zweiten Gatezwischenschicht als durchgehende dielektrische Schicht (26) ausgestaltet sind.

10 5. Ferroelektrischer Transistor nach einem der Ansprüche 1 bis 4,

bei dem die erste Gateelektrode (14) und/oder die zweite Gateelektrode (17) Teil der Diodenstruktur sind.

15 6. Ferroelektrischer Transistor nach Anspruch 5,

- bei dem die erste Gateelektrode (14) polykristallines Silizium, das von einem ersten Leitfähigkeitstyp dotiert ist, aufweist,

20

- bei dem die zweite Gateelektrode (17) polykristallines Silizium, das von einem zweiten, dem ersten entgegengesetzten Leitfähigkeitstyp dotiert ist, aufweist,

25

- bei dem die erste Gateelektrode (14) an die zweite Gateelektrode (17) angrenzt.

7. Ferroelektrischer Transistor nach einem der Ansprüche 1 bis 6,

30 bei dem zwischen der ferroelektrischen Schicht (132) und der ersten Gateelektrode (14) eine Hilfsschicht (15) vorgesehen ist.

8. Ferroelektrischer Transistor nach einem der Ansprüche 1

35 bis 7,

17

- bei dem die erste Gatezwischenschicht CeO_2 , ZrO_2 oder Y_2O_3 ,
5 SrTiO_3 enthält,
- bei dem die zweite Gatezwischenschicht (16) SiO_2 , CeO_2 ,
5 ZrO_2 oder SiTiO_3 enthält,
- bei dem die ferroelektrische Schicht (132) Strontium-
10 Wismuth-Tantalat (SBT), Blei-Zirkon-Titanat (PZT), Lithium-
Niobat (LiNbO_3) oder Barium-Strontium-Titanat (BST) ent-
hält,
- bei dem das Halbleitersubstrat (11) monokristallines Sili-
zium enthält.

15 9. Speicherzellenanordnung mit Speicherzellen, die jeweils
einen ferroelektrischen Transistor (FT) nach einem der An-
sprüche 1 bis 8 enthalten.

20 10. Speicherzellenanordnung nach Anspruch 9,

- bei der Wortleitungen (WL), Bitleitung (BL), und Versor-
gungsleitungen (VL) vorgesehen sind, wobei die Wortleitun-
gen (WL) die Versorgungsleitungen und die Bitleitungen
kreuzen,
- bei der jede Speicherzelle zusätzlich zu dem ferroelektri-
schen Transistor (FT) einen Auswahltransistor (AT) mit ei-
ner Steuerelektrode aufweist,

30 - bei der der ferroelektrische Transistor (FT) einer der
Speicherzellen jeweils zwischen benachbarte Bitleitung (BL)
geschaltet ist,

35 - bei der der Auswahltransistor (AT) zwischen die zweite Ga-
teelektrode des ferroelektrischen Transistors (FT) und eine
der Versorgungsspannungsleitungen (VL) geschaltet ist,

- bei der die Steuerelektrode des Auswahltransistors (AT) mit einer der Wortleitungen (WL) verbunden ist.

11. Verfahren zur Herstellung eines ferroelektrischen Transistors,

- bei dem auf die Oberfläche eines Halbleitersubstrats (21) eine dielektrische Schicht (26), eine ferroelektrische Schicht (23) und eine erste Elektrodenschicht (24') aufgebracht werden,

- bei dem die erste Elektrodenschicht (24') und die ferroelektrische Schicht (23) gemeinsam strukturiert werden, wobei eine erste Gateelektrode (24) entsteht,

- bei dem eine zweite Elektrodenschicht (27') aufgebracht und so strukturiert wird, daß eine zweite Gateelektrode (27) entsteht, die an die erste Gateelektrode (24) angrenzt und die die erste Gateelektrode (24) seitlich überlappt,

- bei dem die Materialien der ersten Gateelektrode (24) und der zweiten Gateelektrode (27) so aufeinander abgestimmt werden, daß die erste Gateelektrode (24) und die zweite Gateelektrode (27) eine Diodenstruktur bilden.

12. Verfahren zur Herstellung eines ferroelektrischen Transistors,

- bei dem auf die Oberfläche eines Halbleitersubstrats (21) eine erste Gatezwischenschicht (26), eine ferroelektrische Schicht (23) und eine erste Elektrodenschicht (24') aufgebracht werden,

- bei dem die erste Elektrodenschicht (24') und die ferroelektrische Schicht (23) und die erste Gatezwischenschicht (26) gemeinsam strukturiert werden, wobei eine erste Gateelektrode (24) entsteht,

- bei dem seitlich der ersten Gatezwischenschicht (26) eine zweite Gatezwischenschicht (16) erzeugt wird, die eine dielektrische Schicht aufweist,

5

- bei dem eine zweite Elektrodenschicht (27') aufgebracht wird und so strukturiert wird, daß eine zweite Gateelektrode (27) entsteht, die an die erste Gateelektrode (24) angrenzt und die die erste Gateelektrode (24) seitlich überlappt,

10

- bei dem die Materialien der ersten Gateelektrode (24) und der zweiten Gateelektrode (27) so aufeinander abgestimmt werden, daß die erste Gateelektrode (24) und die zweite Gateelektrode (27) eine Diodenstruktur bilden.

15

13. Verfahren nach Anspruch 11 oder 12,

- bei dem zwischen der ferroelektrischen Schicht (23) und der ersten Elektrodenschicht (24') eine Hilfsschicht (25) aufgebracht wird, die gemeinsam mit der ferroelektrischen Schicht (23) und der ersten Elektrodenschicht (24') strukturiert wird.

07.09.98

20

Zusammenfassung

Ferroelektrischer Transistor, dessen Verwendung in einer Speicherzellenanordnung und Verfahren zu dessen Herstellung.

5

Ein als Speicherelement geeigneter ferroelektrischer Transistor weist zwischen Source-/Drain-Gebieten (12) an der Oberfläche eines Halbleitersubstrats (11) eine erste Gatezwischenschicht (13) und eine erste Gateelektrode (14) auf, wobei die erste Gatezwischenschicht (13) mindestens eine ferroelektrische Schicht (132) enthält. Neben der ersten Gatezwischenschicht (13) ist zwischen den Source-/Drain-Gebieten (12) eine zweite Gatezwischenschicht (16) und eine zweite Gateelektrode (17) angeordnet, wobei die zweite Gatezwischenschicht (16) eine dielektrische Schicht enthält. Die erste Gateelektrode (14) und die zweite Gateelektrode (17) sind über eine Diodenstruktur miteinander verbunden.

10
15
Figur 1

FIG 1

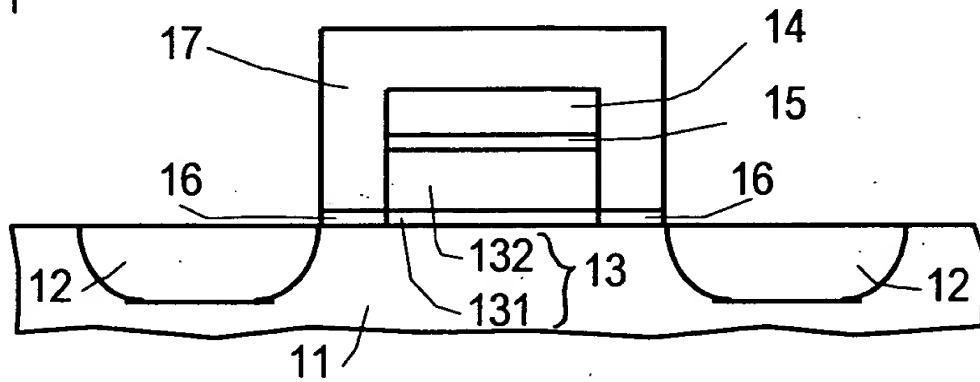
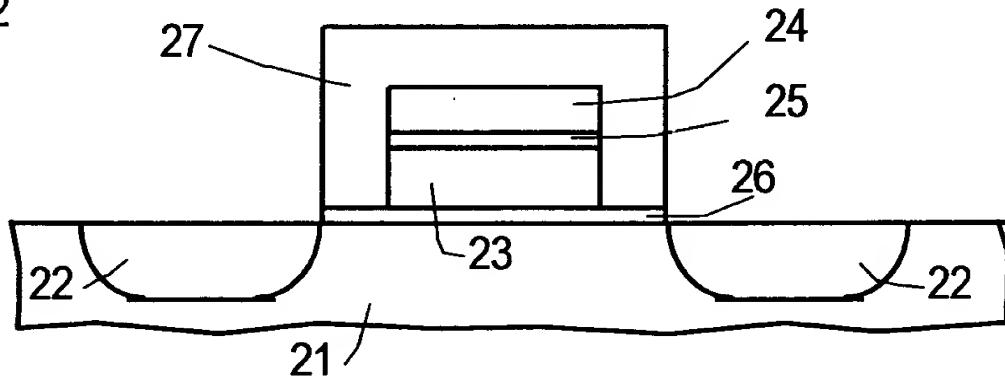


FIG 2



1/3

FIG 1

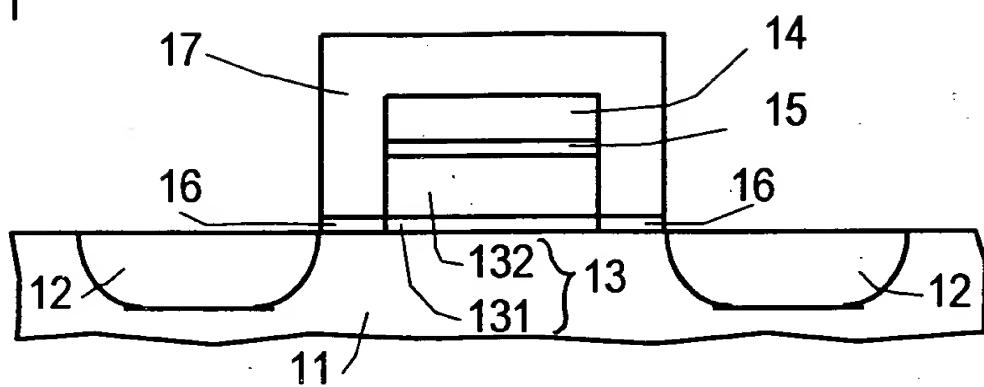


FIG 2

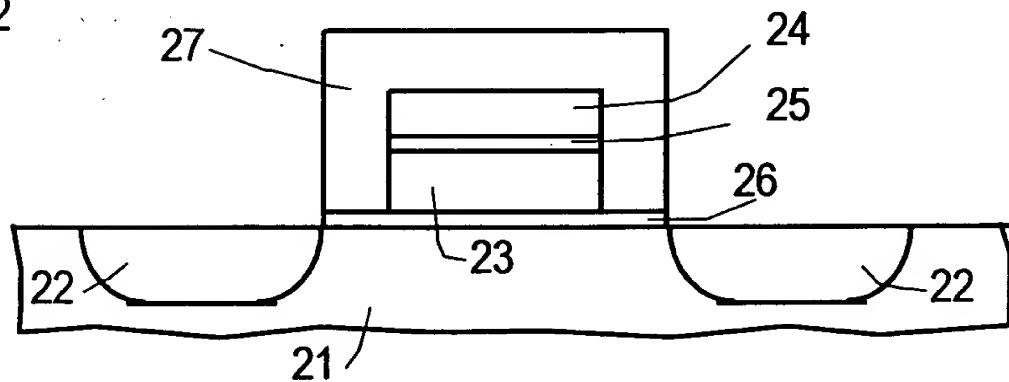


FIG 3

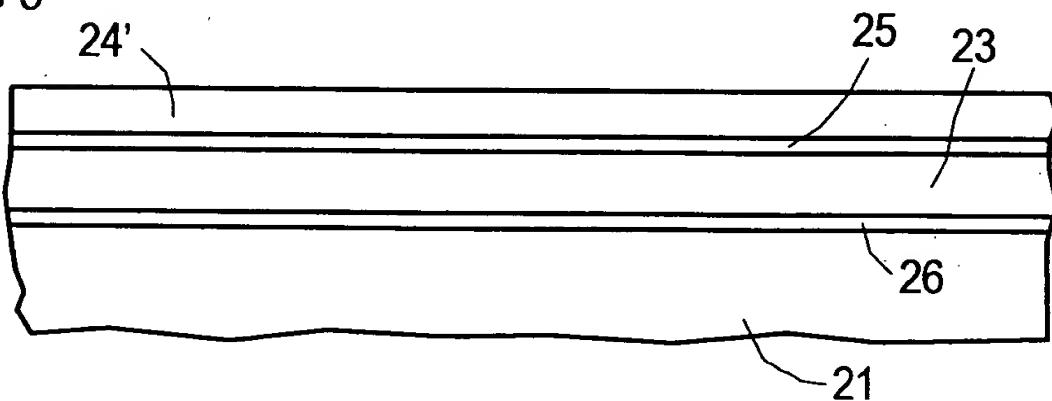


FIG 4

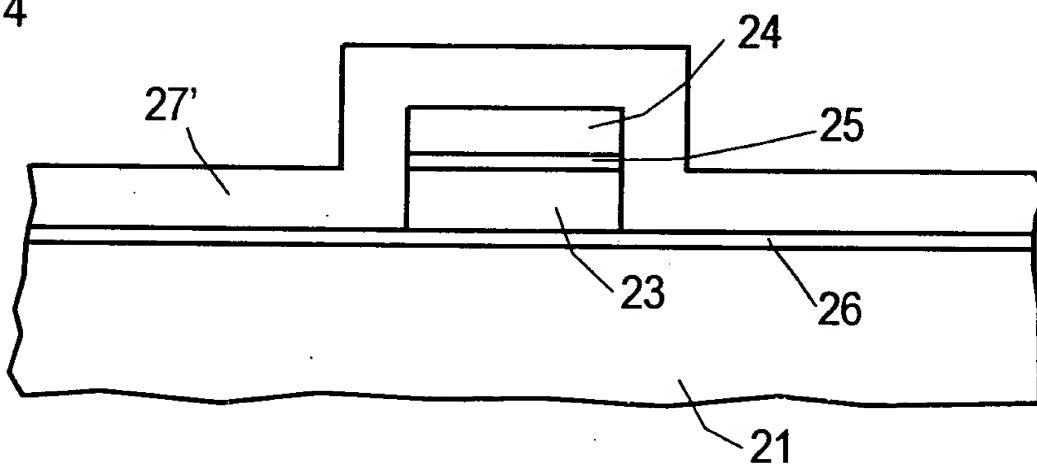


FIG 5

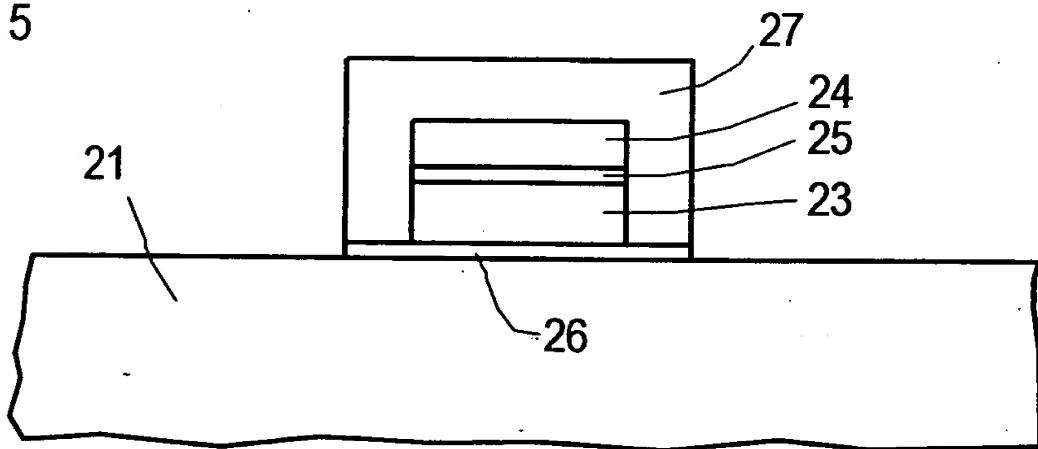


FIG 6

